

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-10949

(43) 公開日 平成11年(1999) 1月19日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

B 4 1 J 2/44

B 4 1 J 3/00

D

G 0 2 B 26/10

G 0 2 B 26/10

B

H 0 4 N 1/113

H 0 4 N 1/04

1 0 4 A

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号

特願平9-172343

(22) 出願日

平成9年(1997) 6月27日

(71) 出願人

000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者

金井 英俊

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(74) 代理人

弁理士 武 顯次郎 (外2名)

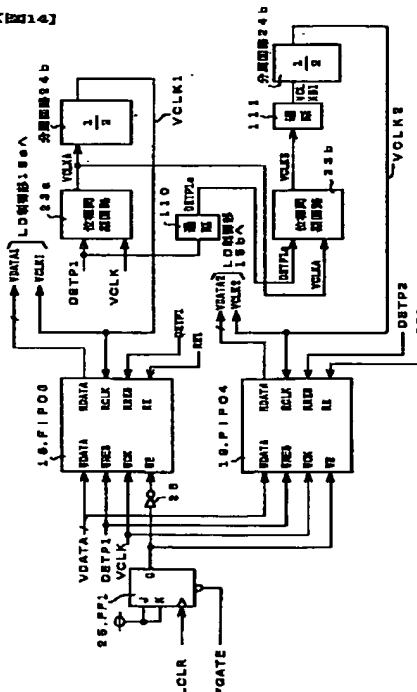
(54) 【発明の名称】 マルチビーム画像形成装置

(57) 【要約】

【課題】 複数の発光素子が主走査方向にずれて配置され、各画像データに応じて変調されたビームの出射を各配置位置に応じて開始する場合に高品質の画像を実現する。

【解決手段】 位相同期回路23 aは画素クロックVCLKを同期検知信号DETP1により位相同期をとった画素クロックVCLKAを分周回路24 aと位相同期回路23 bに出力する。同期検知信号DETP1はLD1、LD2による主走査方向の走査時間間隔の分だけ遅延回路110により遅延され、位相同期回路23 bは位相同期回路23 aからの画素クロックVCLKAを遅延回路30により遅延された同期検知信号DETP1 aにより位相同期をとった画素クロックVCLKBを出力する。遅延回路111は画素クロックVCLKBを遅延した画素クロックVCLKB1を分周回路24 bに出力する。

【図14】



1

2

## 【特許請求の範囲】

【請求項1】 主走査方向にずれて配置され、各画像データに応じて変調されたビームの出射を各配置位置に応じて開始するn個の発光素子と、

前記n個の発光素子に対する画像データをそれぞれ記憶するn個のラインメモリと、

前記n個の発光素子が出射する各ビームを受光して同期検知信号を出力する1つの同期検知素子と、

前記n個の発光素子の第1の発光素子が出射して前記同期検知素子により検知された第1ビームの同期検知信号に基づいて前記n個のラインメモリの各々を選択的にライトイネーブルに設定するライトイネーブル設定回路と、

前記第1ビームの同期検知信号に基づいてクロックの位相同期を行う第1の位相同期回路と、

前記第1ビームの同期検知信号を前記発光素子による主走査方向の走査時間間隔の分だけ遅延する第1の遅延回路と、

前記第1の遅延回路により遅延された第1ビームの同期検知信号に基づいて第1の位相同期回路により位相同期されたクロックの位相同期を行うn-1個の第2の位相同期回路と、

前記n-1個の第2の位相同期回路により位相同期された各クロックを遅延して他のビーム用のクロックを生成するn-1個の第2の遅延回路と、

前記第1の位相同期回路と前記第2の遅延回路により生成された各クロックを1/nに分周してそれぞれ前記n個のラインメモリのリードクロックを生成するn個の分周回路と、を備えたマルチビーム画像形成装置。

【請求項2】 前記第1ビームの同期検知信号に基づいて他の発光素子用のn-1個のダミー同期検知信号を生成すると共に、前記n個のラインメモリのライトリセットを前記第1ビームの同期検知信号により行い、前記n個のラインメモリのライトを前記第1ビームの同期検知信号とn-1個のダミー同期検知信号に基づいてトグル動作させることを特徴とする請求項1記載のマルチビーム画像形成装置。

【請求項3】 前記位相同期回路は前記n個のラインメモリのライトクロックの位相同期を行うことを特徴とする請求項1または2記載のマルチビーム画像形成装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のビームを用いて画像を略同時に書き込むマルチビーム画像形成装置に関し、特に複数のラインメモリの各々を選択的にライトイネーブルに設定する際の制御と、ラインメモリにライン毎に順次書き込まれた複数ライン分の画像データを略同時に読み出す際の制御に関する。

【0002】

【従来の技術】一般に、複写機やプリンタにおいて高速

化しようとする、ビデオクロックの周波数が高速になり、入手可能なICやLD（レーザダイオード）ドライバがないので、例えば特開平4-20066号公報に示すように複数の書き込みビームの各々に異なる画像を割り当てて光変調を行う方法が提案されている。この方法によれば、n個のLDを用いて同時にnラインを書き込む場合にはビデオクロックの周波数を1/nにすることができる。

【0003】例えば2つのLDを用いた場合、2つのラインメモリをトグルして2ライン分の画像データをライトクロックでライン毎に順次書き込み、この2ラインメモリに書き込まれた各ラインの画像データを、ライトクロックの1/2の周波数のリードクロックで略同時に読み出して2つのLDの各々に印加することができる。

【0004】この種の従来例としては、例えば特開昭57-8887号公報に示すように複数のビームを検知した個々の同期検知信号により位相合わせを行った読み出しクロックで読み出す方法が提案されている。この方法によれば、例えば2個の発光素子は、主走査方向にずれて配置されていても、各画像データに応じて変調されたビームの出射を各配置位置に応じて開始する。

【0005】

【発明が解決しようとする課題】ところで、複数のビームを検知した個々の同期検知信号により位相合わせを行って読み出しクロックを生成するための位相同期回路は、通常1/mドット単位で位相合わせを行う。したがって、従来の方法によれば、2ビーム方式の場合、位相合わせ回路により第1ビーム用の読み出しクロックの位相が1/mドット進むと共に第2ビーム用の読み出しクロックの位相が1/mドット遅れると、位相合わせによるずれ量が加算されて2/mドット分の位相差が発生し、これにより縦線の画像が曲がる等の異常画像が発生するという問題点がある。

【0006】また、2つのLDを用いた場合、その主走査方向の間隔に依っては、第2ビームのラインメモリのリードクロックとリードリセット信号のセットアップタイムやホールドタイムにマージが無くなると異常画像が発生する。更に、ラインメモリのライトリセットとリードリセットをカウンタとレジスタを用いて行くと、回路構成が複雑になる。

【0007】更に、2つのLDを用いた構成において、2つのラインメモリの各ライトイネーブル信号を本物とダミーの同期検知信号でトグルして選択して書き込みを行うと、画像有効領域の最初では第1ビームが選択される場合と第2ビームが選択される場合が同じ確率であり、そのため第2ビームから始まると主走査方向の位相同期がずれて斜線が途切れる等の問題がある。

【0008】本発明は上記従来問題点に鑑み、複数の発光素子が主走査方向にずれて配置され、各画像データに応じて変調されたビームの出射を各配置位置に応じて

開始する構成において、各ラインメモリの読み出しクロックの位相差のずれ量を低減して高品質の画像を実現することができるマルチビーム画像形成装置を提供することを目的とする。

#### 【0009】

【課題を解決するための手段】第1の手段は上記目的を達成するために、主走査方向にずれて配置され、各画像データに応じて変調されたビームの出射を各配置位置に応じて開始する $n$ 個の発光素子と、前記 $n$ 個の発光素子に対する画像データをそれぞれ記憶する $n$ 個のラインメモリと、前記 $n$ 個の発光素子が出射する各ビームを受光して同期検知信号を出力する1つの同期検知素子と、前記 $n$ 個の発光素子の第1の発光素子が出射して前記同期検知素子により検知された第1ビームの同期検知信号に基づいて前記 $n$ 個のラインメモリの各々を選択的にライトイネーブルに設定するライトイネーブル設定回路と、前記第1ビームの同期検知信号に基づいてクロックの位相同期を行う第1の位相同期回路と、前記第1ビームの同期検知信号を前記発光素子による主走査方向の走査時間間隔の分だけ遅延する第1の遅延回路と、前記第1の遅延回路により遅延された第1ビームの同期検知信号に基づいて第1の位相同期回路により位相同期されたクロックの位相同期を行う $n-1$ 個の第2の位相同期回路と、前記 $n-1$ 個の第2の位相同期回路により位相同期された各クロックを遅延して他のビーム用のクロックを生成する $n-1$ 個の第2の遅延回路と、前記第1の位相同期回路と前記第2の遅延回路により生成された各クロックを $1/n$ に分周してそれぞれ前記 $n$ 個のラインメモリのリードクロックを生成する $n$ 個の分周回路とを備えたことを特徴とする。

【0010】第2の手段は、第1の手段において前記第1ビームの同期検知信号に基づいて他の発光素子用の $n-1$ 個のダミー同期検知信号を生成すると共に、前記 $n$ 個のラインメモリのライトリセットを前記第1ビームの同期検知信号により行い、前記 $n$ 個のラインメモリのライトを前記第1ビームの同期検知信号と $n-1$ 個のダミー同期検知信号に基づいてトグル動作させることを特徴とする。

【0011】第3の手段は、第1、第2の手段において前記位相同期回路が、前記 $n$ 個のラインメモリのライトクロックの位相同期を行うことを特徴とする。

#### 【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。図1は本発明に係るマルチビーム画像形成装置の一実施形態を示す構成図、図2は図1の2つのレーザダイオードの配置位置を示す説明図、図3は図1のマルチビーム画像形成装置における2つのレーザビームの副走査方向の走査位置を示す説明図、図4は図1のマルチビーム画像形成装置における2つのレーザビームの主走査方向の走査位置を示す説明図、図5は図

1のマルチビーム画像形成装置の同期検知回路を示す回路図、図6は図5の同期検知回路により検知される同期検知信号を示す説明図、図7は図1のマルチビーム画像形成装置の概略構成を示すブロック図、図8は図7のASICの構成を詳細に示すブロック図、図9は図8のダミー同期検知信号発生回路を詳細に示すブロック図、図10は図8のASICの主要信号を示すタイミングチャートである。

【0013】図11は図8のLC/LR発生回路を詳細に示すブロック図、図12は図11のLC/LR信号を示すタイミングチャート、図13は図8のASIC内のリードイネーブル信号遅延回路を詳細に示すブロック図、図14は図8のASIC内の要部回路を詳細に示すブロック図、図15は図14の位相同期回路の一例を詳細に示すブロック図、図16は図15の位相同期回路の主要信号を示すタイミングチャートである。

【0014】図1～図4において、LD制御板1上にはLDユニット2が実装され、LDユニット2には一例として2個のLD1、LD2が実装されている。なお、LDの数が3個以上であっても基本的な考え方は同一である。LD1、LD2から出射された各レーザビームは、共通のコリメートレンズ3により平行化され、次いでビームコンプレッサ4によりビームの副走査方向のみが集光されてポリゴンスキャナ5により反射される。ポリゴンスキャナ5は矢印で示す主走査方向に回転し、これによりレーザビームが主走査方向に等角速度で偏向される。このビームは $f\theta$ レンズ6により等速度偏向に補正された後、感光体7上に照射されると共に同期検知素子8により検出される。感光体7は副走査方向に回転している。

【0015】LDユニット2上の2個のLD1、LD2は、図2に示すように主走査方向については距離 $a$ だけ離れ、副走査方向については距離 $b$ だけ離れて配置されている。そして、LD1、LD2から出射されて図3に示すようにポリゴンスキャナ5により反射される2つのビームは、ビームコンプレッサ4がビームの副走査方向のみを集光するので副走査方向に距離 $C$ だけ離れ、また、距離 $C$ は距離 $b$ より非常に小さい値となる。

【0016】更に、LD1、LD2から出射された2つのビームは図4に示すように、LD1、LD2の主走査方向の距離 $a$ の分だけずれて同期検知素子8により受光される。同期検知素子8は図5に示すように一例としてフォトダイオード(PD)9を有し、PD9がビームを受光すると電流 $I$ が流れ、 $V1(=I \cdot R)$ が基準電圧 $Vref$ を越えるとコンパレータ10が正のパルスの同期検知信号DETPを出力する。この場合、図6に示すように1周期においてLD1の第1ビームを検出した時の同期検知信号DETP1と、LD2の第2ビームを検出した時の同期検知信号DETP2が生成され、また、同期検知信号DETP1より同期検知信号DETP2が遅

れる。

【0017】図7に示すAS(特定用途向け)IC14は本発明のマルチビーム画像形成装置を構成し、LD1、LD2の書き込み速度はCCD11の読み取り速度の1/2である。CCD11は原稿画像を読み取ってその画像信号をIPU(画像処理ゲートアレイ)12に出力し、IPU12はCCD11からの画像信号に基づいて画像データSDATAとクロック信号SCLKをGAVD(ビデオ処理ゲートアレイ)13に出力する。

【0018】GAVD13はIPU12からの上記信号SDATA、SCLKと、後述するような第1ビームの同期検知信号DETP1と画像クロックVCLKに基づいて、また、FIFOメモリ16、17を用いて画像データVDATA及びクロック信号VCLKをASIC14に出力する。ここで、FIFOメモリ16、17は、読み取り時と書き込み時では画素周波数が異なるのでそのタイミング調整を行う。また、本実施形態では、第1ビームの本物の同期検知信号(以下、本物同期検知信号)DETP1と、本物同期検知信号DETP1に基づいて生成されたダミーの同期検知信号(以下、ダミー同期検知信号)DETP1'と、第2ビームの同期検知信号DETP2が用いられている。

【0019】ASIC14はGAVD13からの上記信号VDATA、VCLKと、本物同期検知信号DETP1と第2ビーム同期検知信号DETP2に基づいて、また、FIFOメモリ18、19を用いてクロック信号VCLKの1/2の速度のLD1用の画像データVDATA1及びそのクロック信号VCLK1を生成して第1LD制御部15aに出力すると共に、同じくクロック信号VCLKの1/2の速度のLD2用の画像データVDATA2及びそのクロック信号VCLK2を生成して第2LD制御部15bに出力する。FIFOメモリ18、19は後述するようにGAVD13からの1ビームデータVDATAを2ビームデータVDATA1、VDATA2に変換するために用いられる。

【0020】ASIC14は図8に詳しく示すように、FIFOメモリ18、19のライト、リード処理部/1ビーム→2ビーム変換部21と、ダミー同期信号発生部/LCLR発生部22と、位相同期回路23とクロック分周部24を有する。ダミー同期信号発生部(22)では図9に示すように、カウンタ31により画素クロックVCLKをカウントし、次いでコンパレータ32によりカウンタ31のカウント値と、本物同期検知信号DETP1の1周期の1/2に対応する設定値を比較する。そして、ワンショット発生回路33によりコンパレータ32の比較結果が一致した時に所定パルス幅のダミー同期検知信号DETP1'を発生し、次いでORゲート34により図10に示すようにダミー同期検知信号DETP1'と本物同期検知信号DETP1の論理和信号DETP1Aを出力する。

【0021】また、LCLR発生部(22)は図11に示すようにDフリップフロップ35、36、37、インバータ38及びANDゲート39を有し、図10、図12に示すように信号DETP1Aがハイとなる期間中に2画素クロック期間だけハイとなる信号LCLRを発生する。

【0022】図13はASIC14におけるリードイネーブル信号REの発生回路を示している。カウンタ101、102はそれぞれ本物同期検知信号DETP1と第2ビーム同期検知信号DETP2によりクリアされて画素クロックVCLK1、VCLK2をカウントする。コンパレータ103、104はそれぞれカウンタ101、102の各カウント値と、LD1、LD2の主走査方向の距離aの分に対応した各設定値を比較し、一致した時に図10に示すように時間dだけずれたFIFOメモリ18、19のリードイネーブル信号RE1、RE2を出力する。

【0023】図14はFIFOメモリ18、19のライト、リード処理部/1ビーム→2ビーム変換部21と、位相同期回路23とクロック分周部24を示している。位相同期回路23は2系統の位相同期回路23a、23bを有し、クロック分周部24も同様に2系統の分周回路24a、24bを有する。

【0024】図14、図10に示すように、FIFOメモリ18、19は共に、本物同期検知信号DETP1によりライトリセット(ラインアドレスリセット)される(図示WRES)。また、他の入力信号としては、画素クロックVCLKとGAVD13からの画像データVDATAがライトデータWDATAとして印加され、更にFF25とインバータ26からの信号がライトイネーブル信号WEとして印加される。

【0025】FF25とインバータ26はFIFOメモリ18、19のライトイネーブル信号WEをトグルするためのものであり、FF25は副走査画像領域有効信号FGATEと本物同期検知信号DETP1の論理積信号によりリセットされる。したがって、画像有効領域が始まった後の最初の本物の同期検知信号DETP1によりリセットされるので、この時、FIFOメモリ18のライトイネーブル信号WEがハイになる。

【0026】また、FF25は次の信号LCLR(すなわちダミーの同期検知信号)により出力Qが反転してロウになり、FIFOメモリ18のライトイネーブル信号WEがノンアクティブになると共にFIFOメモリ19のライトイネーブル信号WEがアクティブになる。したがって、FIFOメモリ18、19のライトイネーブル信号WEは信号LCLRにより交互にハイとなる。したがって、画像有効領域が始まった後の最初の本物の同期検知信号DETP1によりFIFOメモリ18が選択されるので、LD1が常に先に発光し、その結果、LD1、LD2の主走査方向の配置位置がずれていても、主

走査方向の位相同期がずれて斜線が途切れる等の問題が発生しない。

【0027】位相同期回路23aは画素クロック(=ラインメモリのライトクロック)VCLKを同期検知信号DETP1により位相同期をとった画素クロックVCLKAを分周回路24aと位相同期回路23bに出力する。また、同期検知信号DETP1はLD1、LD2による主走査方向の走査時間間隔の分だけ遅延回路110により遅延され、位相同期回路23bは位相同期回路23aからの画素クロックVCLKAを、この遅延回路30により遅延された同期検知信号DETP1aにより位相同期をとった画素クロックVCLKBを遅延回路111に出力する。遅延回路111はこの画素クロックVCLKBを遅延した画素クロックVCLKB1を分周回路24bに出力する。

【0028】分周回路24a、24bはそれぞれ画素クロックVCLKA、VCLKB1を1/2に分周してクロックVCLK1、VCLK2を生成し、これをFIFOメモリ18、19のリードクロックRCLKとして印加する。位相同期回路23a、23bは例えば図15、図16に示すように、入力クロックVCLKを1/8周期づつずらして8種類のクロック信号を生成し、同期検知信号DETP1、2に最も位相が近いクロック信号を選択することにより、画素クロックVCLKA、VCLKBを出力することができる。この例では位相同期精度は1/8ドットとなる。

【0029】図17は従来例を示し、図14と比べて遅延回路110、111が設けられておらず、また、LD2用の位相同期回路23bが画素クロックVCLKを第2ビームの同期検知信号DETP2により位相同期をとっている。このような構成によれば、LD1の画素クロックVCLKAの位相が位相同期回路23aにより1/8ドット進むと共に、LD2の画素クロックVCLKBの位相が位相同期回路23bにより1/8ドット遅れると、図18に示すように位相合わせによるずれ量が加算され、分周回路24a、24bにより分周されて生成されたリードクロックVCLK1、VCLK2の間には1/4ドット分の位相差が発生する。

【0030】これに対し、図14に示す構成では、位相同期回路23bは位相同期回路23aからの画素クロックVCLKAを、LD1、LD2による主走査方向の走査時間間隔の分だけ遅延回路110により遅延された同期検知信号DETP1により位相同期をとった画素クロックVCLKBを出力し、更に遅延回路111がこの画素クロックVCLKBを遅延した画素クロックVCLKB1を出力するので、図19に示すように位相合わせによるずれ量が加算されず、リードクロックVCLK1、VCLK2の間には1/8ドット分の位相差となる。

【0031】

【発明の効果】以上説明したように請求項1記載の発明

によれば、第1ビームのラインメモリのリードクロックについては、第1ビームの同期検知信号に基づいて位相同期を行って分周すると共に、他のビームのラインメモリのリードクロックについては、第1ビームの同期検知信号を発光素子による主走査方向の走査時間間隔の分だけ遅延して位相同期を行い、このクロックを更に遅延して分周するので、各ラインメモリの読み出しクロックの位相差のずれ量を低減して高品質の画像を実現することができる。また、クロックのディレイ量を調整することにより、第2ビーム以降のラインメモリのリードクロックとリードリセット信号のセットアップタイムやホールドタイムにマージンを大きくすることができるので、異常画像を防止することができる。

【0032】更に、第1ビームの同期検知信号に基づいてn個のラインメモリの各々を選択的にライトイネーブルに設定するので、画像有効領域が始まった後に第1の発光素子が最初に発光し、したがって、位相ずれのない高品質の画像を実現することができる。

【0033】請求項2記載の発明によれば、第1ビームの同期検知信号に基づいて他の発光素子用のn-1個のダミー同期検知信号を生成すると共に、n個のラインメモリのライトリセットを第1ビームの同期検知信号により行い、n個のラインメモリのライトを第1ビームの同期検知信号とn-1個のダミー同期検知信号に基づいてトグル動作させるので、簡単な回路で実現することができる。

【0034】請求項3記載の発明によれば、n個のラインメモリのライトクロックを位相同期し、分周してリードクロックを生成するので、簡単な回路で実現することができる。

【図面の簡単な説明】

【図1】本発明に係るマルチビーム画像形成装置の一実施形態を示す構成図である。

【図2】図1の2つのレーザダイオードの配置位置を示す説明図である。

【図3】図1のマルチビーム画像形成装置における2つのレーザビームの副走査方向の走査位置を示す説明図である。

【図4】図1のマルチビーム画像形成装置における2つのレーザビームの主走査方向の走査位置を示す説明図である。

【図5】図1のマルチビーム画像形成装置の同期検知回路を示す回路図である。

【図6】図5の同期検知回路により検知される同期検知信号を示す説明図である。

【図7】図1のマルチビーム画像形成装置の概略構成を示すブロック図である。

【図8】図7のASICの構成を詳細に示すブロック図である。

【図9】図8のダミー同期検知信号発生回路を詳細に示

すブロック図である。

【図10】図8のASICの主要信号を示すタイミングチャートである。

【図11】図8のLC/LR発生回路を詳細に示すブロック図である。

【図12】図11のLC/LR信号を示すタイミングチャートである。

【図13】図8のASIC内のリードイネーブル信号発生回路を詳細に示すブロック図である。

【図14】図8のASIC内の要部回路を詳細に示すブロック図である。

【図15】図14の位相同期回路の一例を詳細に示すブロック図である。

【図16】図15の位相同期回路の主要信号を示すタイミングチャートである。

【図17】従来の要部回路を詳細に示すブロック図である。

【図18】図17の回路により生成されるリードクロックを示すタイミングチャートである。

【図19】図14の回路により生成されるリードクロックを示すタイミングチャートである。

【符号の説明】

18, 19 FIFOメモリ

21 FIFOメモリのライト、リード処理部/1ビーム→2ビーム変換部

22 ダミー同期信号発生部/LC/LR発生部

23a, 23b 位相同期回路

24a, 24b 1/2分周回路

25 FF

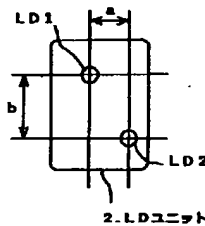
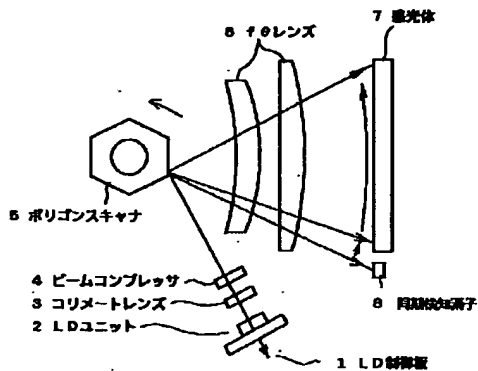
110, 111 遅延回路

【図1】

【図2】

【図3】

【図4】

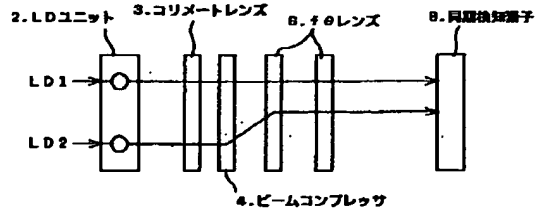
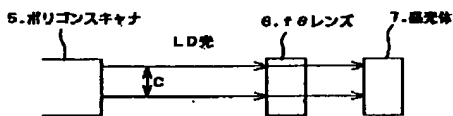


【図4】

【図4】

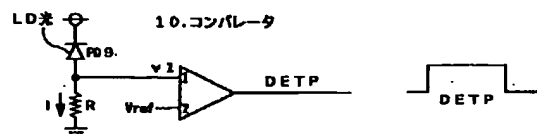
【図3】

【図3】



【図5】

【図5】

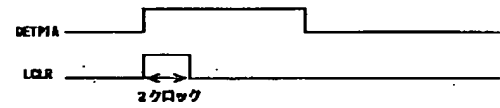
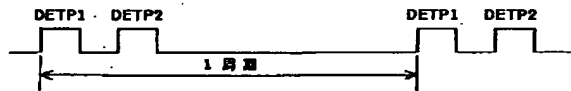


【図6】

【図12】

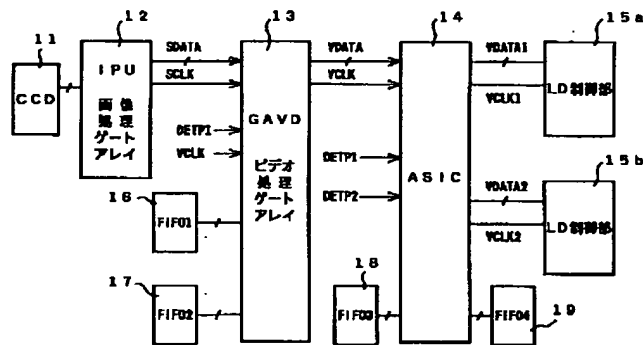
【図9】

【図12】



【図7】

【図7】

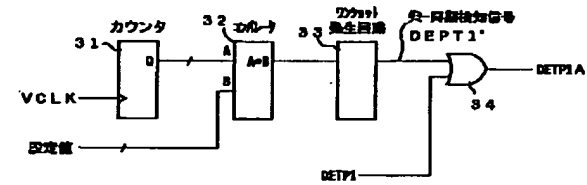
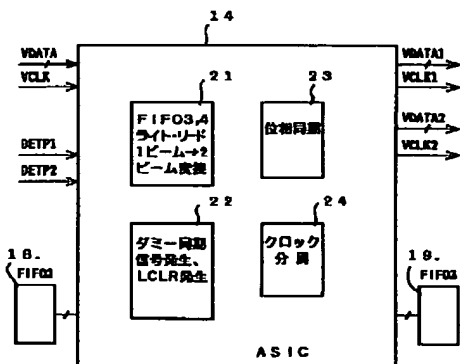


【図8】

【図9】

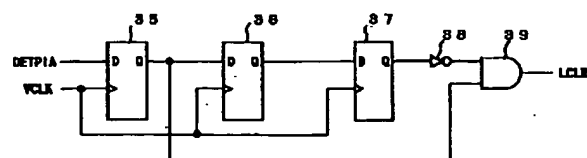
【図8】

【図9】



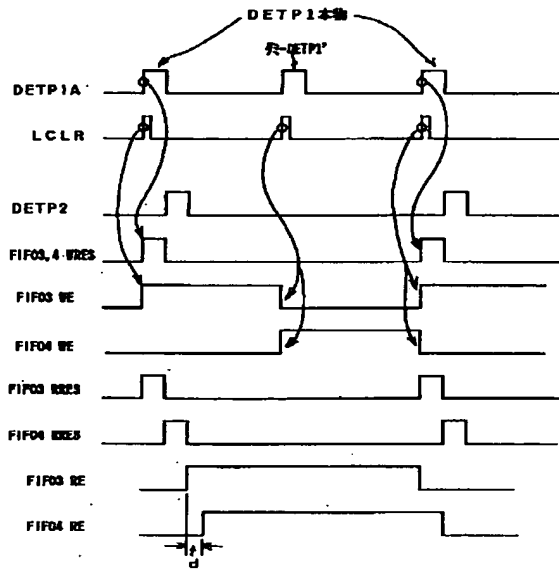
【図11】

【図11】



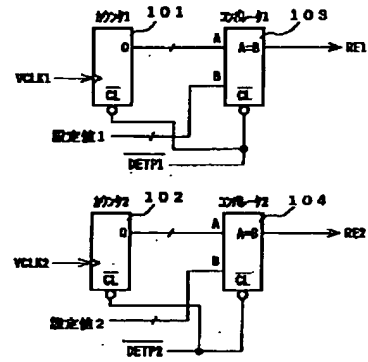
【図10】

【図10】

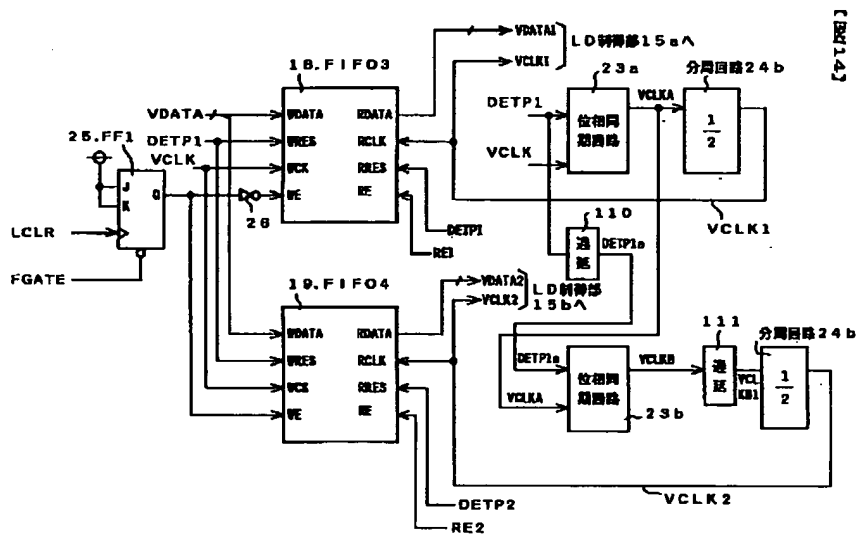


【図13】

【図13】

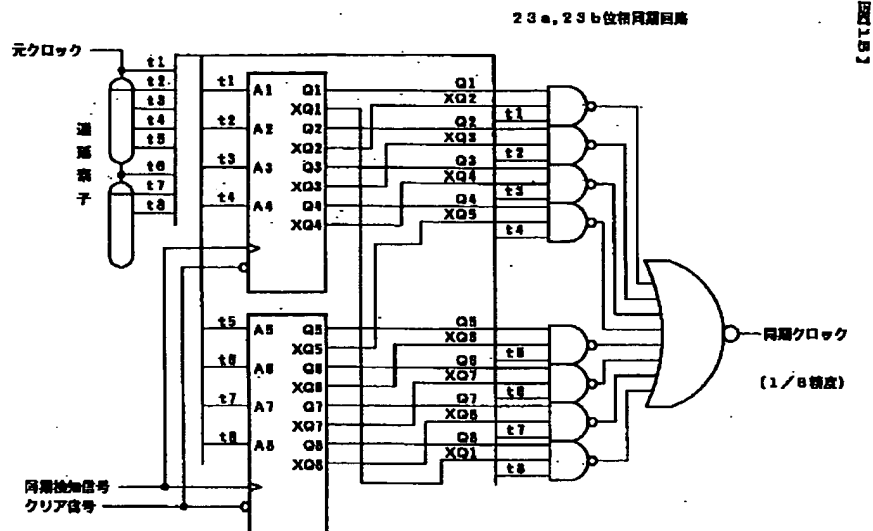


【図14】





【図15】



【図15】

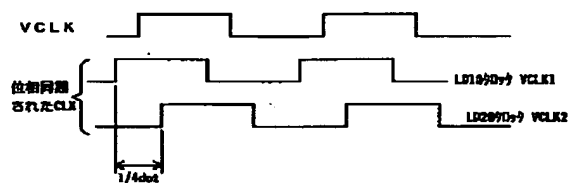
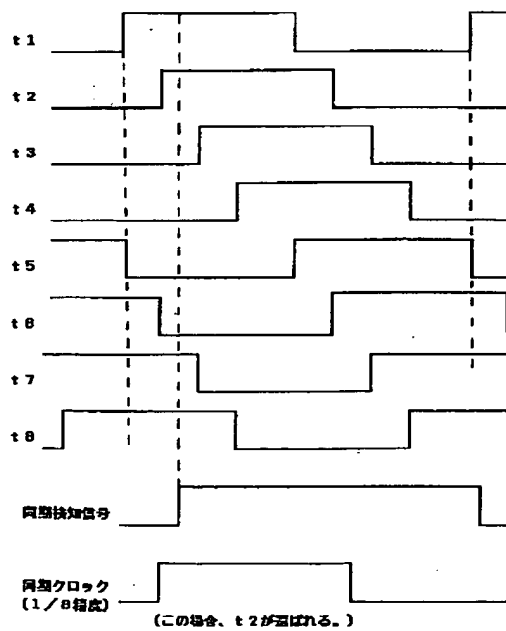
【図16】

【図18】

【図16】

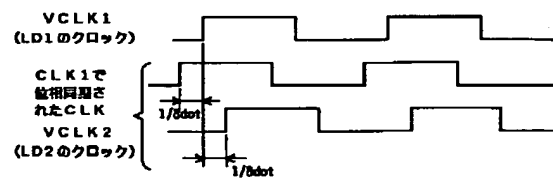
【図18】

同期クロック生成タイミング

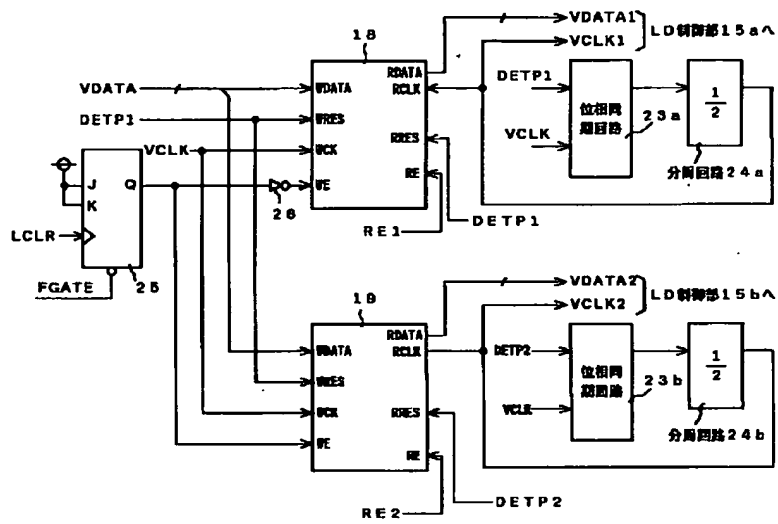


【図19】

【図19】



【図17】



【図17】

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-010949

(43)Date of publication of application : 19.01.1999

(51)Int.Cl.

B41J 2/44  
G02B 26/10  
H04N 1/113

(21)Application number : 09-172343

(71)Applicant : RICOH CO LTD

(22)Date of filing : 27.06.1997

(72)Inventor : KANAI HIDETOSHI

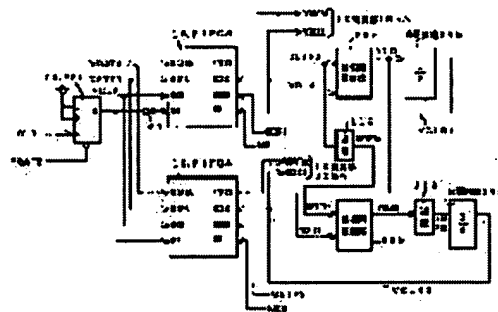
## (54) MULTIBEAM IMAGE-FORMING APPARATUS

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize images of high quality when beams modulated in accordance with each image data are started to be projected in conformity with arrangement positions of a plurality of light-emitting elements arranged with shifts in a main scan direction.

**SOLUTION:** A phase synchronous circuit 23a outputs a pixel clock VCLKA obtained by synchronizing a pixel clock VCLK in phase with a synchronous detection signal DETP1 to a frequency division circuit (24a) and a phase synchronous circuit 23b. The synchronous detection signal DETP1 is delayed by means of a delay circuit 110 by a gap of scan times of an LD1 and an LD2 in a main scan direction. The phase synchronous circuit 23b outputs a pixel clock VCLKB obtained by

synchronizing in phase the pixel clock VCLKA from the phase synchronous circuit 23a with a synchronous detection signal DETP1a delayed by a delay circuit (30). A delay circuit 111 outputs a pixel clock VCLKB1 obtained by delaying the pixel clock VCLKB to a frequency division circuit 24b.



## LEGAL STATUS

[Date of request for examination]

15.04.2002

[Date of sending the examiner's decision of rejection] 03.08.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] n light emitting devices which start the outgoing radiation of the beam which shifted to the main scanning direction, has been arranged and was modulated according to each image data according to each arrangement location, n Rhine memory which memorizes the image data to said n light emitting devices, respectively, One synchronous detector element to which said n light emitting devices receive each beam which carries out outgoing radiation, and output a synchronous detection signal, The write enable setting circuit which sets each of said n Rhine memory as write enable alternatively based on the synchronous detection signal of the 1st beam with which the 1st light emitting device of said n light emitting devices carried out outgoing radiation, and was detected by said synchronous detector element, The 1st phase lock loop which performs phase simulation of a clock based on the synchronous detection signal of said 1st beam, The 1st delay circuit where only the part of the scan time interval of the main scanning direction according the synchronous detection signal of said 1st beam to said light emitting device is delayed, The 2nd n-1 phase lock loop which performs phase simulation of a clock by which phase simulation was carried out based on the synchronous detection signal of the 1st beam delayed by said 1st delay circuit in the 1st phase lock loop, The 2nd n-1 delay circuit which is delayed in each clock by which phase simulation was carried out in said 2nd n-1 phase lock loop, and generates the clock for other beams, Multi-beam image formation equipment equipped with n frequency dividers which carry out dividing of each clock generated by said the 1st phase lock loop and said 2nd delay circuit to 1/n, and generate the lead clock of said n Rhine memory, respectively.

[Claim 2] While generating n-1 dummy synchronous detection signal for other light emitting devices based on the synchronous detection signal of said 1st beam The synchronous detection signal of said 1st beam performs light reset of said n Rhine memory. Multi-beam image formation equipment according to claim 1 characterized by carrying out toggle actuation of said n lights of the Rhine memory based on the synchronous detection signal of said 1st beam, and n-1 dummy synchronous detection signal.

[Claim 3] Said phase lock loop is multi-beam image formation equipment according to claim 1 or 2 characterized by performing said phase simulation of a light clock of n Rhine memory.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the control at the time of setting each of two or more Rhine memory as write enable alternatively especially, and the control at the time of reading the image data for two or more lines written in the Rhine memory one by one for every Rhine to abbreviation coincidence about the multi-beam image formation equipment which writes an image in abbreviation coincidence using two or more beams.

[0002]

[Description of the Prior Art] Since the frequency of a video clock becomes a high speed and there is generally neither available IC nor a LD (laser diode) driver when it is going to accelerate in a copying machine or a printer, the method of assigning an image which is different to each of two or more write-in beams as shown, for example in JP,4-20066,A, and performing light modulation is proposed. According to this approach, when writing n lines in coincidence using n LD, the frequency of a video clock can be set to 1/n.

[0003] For example, when two LD is used, the image data of each Rhine in which two Rhine memory was toggled and the image data for two lines was written by sequential writing and this two-line memory for every Rhine with the light clock can be read to abbreviation coincidence with one half of the lead clocks of a frequency of a light clock, and can be impressed to each of two LD.

[0004] this kind of conventional example -- carrying out -- for example, the approach of reading and reading with a clock which performed phase doubling with each synchronous detection signal which detected two or more beams as shown in JP,57-8887,A is proposed. According to this approach, even if two light emitting devices shift to a main scanning direction and are arranged, they start the outgoing radiation of the beam modulated according to each image data according to each arrangement location, for example.

[0005]

[Problem(s) to be Solved by the Invention] By the way, the phase lock loop for each synchronous detection signal which detected two or more beams performing phase doubling, reading, and generating a clock usually performs phase doubling per 1/m dot. Therefore, if according to the conventional approach in the case of 2 beam methods 1/m dot of phases of the read-out clock for the 2nd beam is overdue while 1/m dot of phases of the read-out clock for the 1st beam progresses by the phase doubling circuit There is a trouble that the amount of gaps by phase doubling is added, the phase contrast for 2/m dot occurs, and an abnormality image, like the image of a vertical line bends by this is generated.

[0006] Moreover, an abnormality image will be generated if it depends on spacing of the main scanning direction when two LD is used, and a margin is lost to the setup time and the hold time of the lead clock of the Rhine memory of the 2nd beam, and a lead reset signal. Furthermore, circuitry will become complicated if light reset and lead reset of the Rhine memory are performed using a counter and a register.

[0007] Furthermore, when it writes in by toggling and choosing each write enable signal of two Rhine

memory by the synchronous detection signal of a genuine article and a dummy in the configuration using two LD, it is the probability for the case where the 1st beam is chosen in the beginning of an image service area, and the 2nd beam are chosen to be the same, therefore when it begins from the 2nd beam, the phase simulation of a main scanning direction shifts and there are problems, like a slash breaks off.

[0008] In view of the above-mentioned conventional trouble, two or more light emitting devices shift to a main scanning direction, this invention is arranged, and it aims at offering the multi-beam image formation equipment which can reduce the amount of gaps of the phase contrast of the read-out clock of each Rhine memory, and can realize the image of high quality in the configuration which starts the outgoing radiation of the beam modulated according to each image data according to each arrangement location.

[0009]

[Means for Solving the Problem] n light emitting devices which start the outgoing radiation of the beam which the 1st means shifted to the main scanning direction, and has been arranged in order to attain the above-mentioned purpose, and was modulated according to each image data according to each arrangement location, n Rhine memory which memorizes the image data to said n light emitting devices, respectively, One synchronous detector element to which said n light emitting devices receive each beam which carries out outgoing radiation, and output a synchronous detection signal, The write enable setting circuit which sets each of said n Rhine memory as write enable alternatively based on the synchronous detection signal of the 1st beam with which the 1st light emitting device of said n light emitting devices carried out outgoing radiation, and was detected by said synchronous detector element, The 1st phase lock loop which performs phase simulation of a clock based on the synchronous detection signal of said 1st beam, The 1st delay circuit where only the part of the scan time interval of the main scanning direction according to the synchronous detection signal of said 1st beam to said light emitting device is delayed, The 2nd n-1 phase lock loop which performs phase simulation of a clock by which phase simulation was carried out based on the synchronous detection signal of the 1st beam delayed by said 1st delay circuit in the 1st phase lock loop, The 2nd n-1 delay circuit which is delayed in each clock by which phase simulation was carried out in said 2nd n-1 phase lock loop, and generates the clock for other beams, It is characterized by having n frequency dividers which carry out dividing of each clock generated by said the 1st phase lock loop and said 2nd delay circuit to 1/n, and generate the lead clock of said n Rhine memory, respectively.

[0010] While the 2nd means generates n-1 dummy synchronous detection signal for other light emitting devices based on the synchronous detection signal of said 1st beam in the 1st means The synchronous detection signal of said 1st beam performs light reset of said n Rhine memory, and it is characterized by carrying out toggle actuation of said n lights of the Rhine memory based on the synchronous detection signal of said 1st beam, and n-1 dummy synchronous detection signal.

[0011] The 3rd means is characterized by said phase lock loop performing said phase simulation of a light clock of n Rhine memory in the 1st and 2nd means.

[0012]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing. The block diagram showing 1 operation gestalt of the multi-beam image formation equipment which drawing 1 requires for this invention, The explanatory view in which drawing 2 shows the arrangement location of two laser diodes of drawing 1, the explanatory view showing the scan location of the direction of vertical scanning of two laser beams [ in / in drawing 3 / the multi-beam image formation equipment of drawing 1 ], The explanatory view showing the scan location of the main scanning direction of two laser beams [ in / in drawing 4 / the multi-beam image formation equipment of drawing 1 ], The circuit diagram in which drawing 5 shows the synchronous detecting circuit of the multi-beam image formation equipment of drawing 1, The explanatory view showing the synchronous detection signal with which drawing 6 is detected by the synchronous detecting circuit of drawing 5, The block diagram in which drawing 7 shows the outline configuration of the multi-beam image formation equipment of drawing 1, The block diagram with which drawing 8

shows the configuration of ASIC of drawing 7 to a detail, the block diagram with which drawing 9 shows the dummy synchronous detection signal generating circuit of drawing 8 to a detail, and drawing 10 are timing charts which show the main signals of ASIC of drawing 8.

[0013] The block diagram with which drawing 11 shows the LCLR generating circuit of drawing 8 to a detail, the timing chart drawing 12 indicates the LCLR signal of drawing 11 to be, the block diagram with which drawing 13 shows the lead enable signal delay circuit in ASIC of drawing 8 to a detail, the block diagram showing [ 14 ] the important section circuit in ASIC of drawing 8 in a detail, the block diagram with which drawing 15 shows an example of the phase lock loop of drawing 14 to a detail, and drawing 16 are timing charts which show the main signals of the phase lock loop of drawing 15.

[0014] In drawing 1 - drawing 4, the LD unit 2 is mounted on the LD control strip 1, and two LD1 and LD2 are mounted in the LD unit 2 as an example. In addition, the fundamental view is the same even if the number of LD is three or more. It is made parallel with the common collimate lens 3, subsequently only the direction of vertical scanning of a beam is condensed by the beam compressor 4, and each laser beam by which outgoing radiation was carried out from LD1 and LD2 is reflected by the polygon scanner 5. The polygon scanner 5 rotates to the main scanning direction shown by the arrow head, and, thereby, a laser beam is deflected by the main scanning direction with constant angular velocity. After this beam is amended by uniform deviation with the ftheta lens 6, it is detected by the synchronous detector element 8 while irradiating on a photo conductor 7. The photo conductor 7 is rotating in the direction of vertical scanning.

[0015] As shown in drawing 2, about a main scanning direction, only distance a leaves two LD1 and LD2 on the LD unit 2, about the direction of vertical scanning, only distance b leaves them and they are arranged. And since the beam compressor 4 condenses only the direction of vertical scanning of a beam, only distance C leaves two beams reflected by the polygon scanner 5 as outgoing radiation is carried out from LD1 and LD2 and it is shown in drawing 3 in the direction of vertical scanning, and distance C serves as a very small value from distance b.

[0016] Furthermore, only the part of the distance a of the main scanning direction of LD1 and LD2 shifts, and two beams by which outgoing radiation was carried out from LD1 and LD2 are received by the synchronous detector element 8, as shown in drawing 4. For the synchronous detector element 8, if it has a photodiode (PD) 9 as an example as shown in drawing 5, and PD9 receives a beam, Current I will flow, and  $V1 (=I \cdot R)$  is reference voltage  $V_{ref}$ . If it exceeds, a comparator 10 will output the synchronous detection signal DETP of a forward pulse. In this case, as shown in drawing 6, the synchronous detection signal DETP2 when detecting the 2nd beam of the synchronous detection signals DETP1 and LD2 when detecting the 1st beam of LD1 in one period is generated, and the synchronous detection signal DETP2 is late for the synchronous detection signal DETP1.

[0017] AS(for specified uses) IC14 shown in drawing 7 constitutes the multi-beam image formation equipment of this invention, and the drawing speed of LD1 and LD2 is 1/2 of the reading rate of CCD11. CCD11 reads a manuscript image, and outputs the picture signal to IPU (image-processing gate array)12, and IPU12 outputs image data SDATA and clock signal SCLK to GAVD(video-processing gate array) 13 based on the picture signal from CCD11.

[0018] GAVD13 outputs image data VDATA and clock signal VCLK to ASIC14 using FIFO memories 16 and 17 based on the above-mentioned signals SDATA and SCLK from IPU12, the synchronous detection signal DETP1 of the 1st beam which is mentioned later, and the image clock VCLK. Here, since it writes in with the time of reading and pixel frequencies differ in the time, FIFO memories 16 and 17 perform the timing adjustment. Moreover, with this operation gestalt, the synchronous detection signal (following and genuine article synchronous detection signal) DETP1 of the genuine article of the 1st beam, synchronous detection signal (following and dummy synchronous detection signal) DETP1' of the dummy generated based on the genuine article synchronous detection signal DETP1, and the synchronous detection signal DETP2 of the 2nd beam are used.

[0019] ASIC14 The above-mentioned signals VDATA and VCLK from GAVD13 It is based on the genuine article synchronous detection signal DETP1 and the 2nd beam synchronous detection signal DETP2. Moreover, while generating one half of the image data VDATA1 for LD1 of a rate and its clock



signal VCLK1 of clock signal VCLK using FIFO memories 18 and 19 and outputting to 1st LD control-section 15a. One half of the same image data VDATA2 for LD2 of a rate and its same clock signal VCLK2 of clock signal VCLK are generated, and it outputs to 2nd LD control-section 15b. FIFO memories 18 and 19 are used in order to change 1 beam data VDATA from GAVD13 into 2 beam data VDATA1 and VDATA2 so that it may mention later.

[0020] ASIC14 has a light, the lead processing section / 1 beam -> 2 beam transducer 21, the dummy synchronizing signal generating section / LCLR generating section 22, and the phase lock loop 23 and the clock part periphery 24 of FIFO memories 18 and 19, as shown in drawing 8 in detail. In the dummy synchronizing signal generating section (22), as shown in drawing 9, the pixel clock VCLK is counted with a counter 31, and, subsequently a comparator 32 compares the counted value of a counter 31, and the set point corresponding to one half of one periods of the genuine article synchronous detection signal DETP1. And when the comparison result of a comparator 32 is in agreement by the single shot generating circuit 33, dummy synchronous detection signal DEPT1' of predetermined pulse width is generated, and by the OR gate 34, dummy synchronous detection signal DEPT1' and OR signal DETP1A of the genuine article synchronous detection signal DETP1 are outputted so that it may be shown subsequently to drawing 10.

[0021] Moreover, the LCLR generating section (22) has D flip-flops 35, 36, and 37, an inverter 38, and the AND gate 39, as shown in drawing 11, and it generates the signal LCLR with which only a 2-pixel clock period becomes yes during the period when signal DETP1A becomes yes as shown in drawing 10 and drawing 12 R> 2.

[0022] Drawing 13 shows the generating circuit of the lead enable signal RE in ASIC14. Counters 101 and 102 are cleared by the genuine article synchronous detection signal DETP1 and the 2nd beam synchronous detection signal DETP2, respectively, and count the pixel clocks VCLK1 and VCLK2. Comparators 103 and 104 compare each counted value of counters 101 and 102 with each set point corresponding to the part of the distance a of the main scanning direction of LD1 and LD2, respectively, and when in agreement, they output the lead enable signals RE1 and RE2 of FIFO memories 18 and 19 with which only time amount d shifted as shown in drawing 10.

[0023] Drawing 14 shows the light, the lead processing section / 1 beam -> 2 beam transducer 21, and the phase lock loop 23 and the clock part periphery 24 of FIFO memories 18 and 19. It has two phase lock loops 23a and 23b, and, as for a phase lock loop 23, the clock part periphery 24 has two frequency dividers 24a and 24b similarly.

[0024] As shown in drawing 14 and drawing 10, light reset (the Rhine address reset) of both FIFO memories 18 and 19 is carried out by the genuine article synchronous detection signal DETP1 (illustration WRES). Moreover, as other input signals, the pixel clock VCLK and image data VDATA from GAVD13 are impressed as light data WDATA, and the signal from FF25 and an inverter 26 is further impressed as a write enable signal WE.

[0025] FF25 and an inverter 26 are for toggling the write enable signal WE of FIFO memories 18 and 19, and FF25 is reset by the AND signal of the vertical-scanning image field valid signal FGATE and the genuine article synchronous detection signal DETP1. Therefore, since it is reset by the synchronous detection signal DETP1 of the genuine article of the beginning after an image service area starts, the write enable signal WE of FIFO memory 18 becomes a high at this time.

[0026] moreover, FF25 -- the following signal LCLR (namely, dummy synchronous detection signal) -- an output Q -- being reversed -- a low -- becoming -- the write enable signal WE of FIFO memory 18 -- non, while becoming active, the write enable signal WE of FIFO memory 19 becomes active. Therefore, the write enable signal WE of FIFO memories 18 and 19 becomes yes by turns with Signal LCLR.

Therefore, since FIFO memory 18 is chosen by the synchronous detection signal DETP1 of the genuine article of the beginning after an image service area starts, even if LD1 always emitted light previously, consequently the arrangement location of the main scanning direction of LD1 and LD2 has shifted, the phase simulation of a main scanning direction shifts and problems, like a slash breaks off do not occur.

[0027] Phase lock loop 23a outputs the pixel clock VCLKA which took phase simulation for the pixel clock (light clock of = Rhine memory) VCLK with the synchronous detection signal DETP1 to

frequency divider 24a and phase lock loop 23b. Moreover, the pixel clock VCLKB on which only the part of the scan time interval of the main scanning direction according [ the synchronous detection signal DETP1 ] to LD1 and LD2 took phase simulation by synchronous detection signal DETP1a for which phase lock loop 23b was delayed by this delay circuit 30 in the pixel clock VCLKA from phase lock loop 23a by being delayed by the delay circuit 110 is outputted to a delay circuit 111. A delay circuit 111 outputs the pixel clock VCLKB1 delayed in this pixel clock VCLKB to frequency divider 24b. [0028] Frequency dividers 24a and 24b carry out dividing of the pixel clock VCLKA and VCLKB1 to one half, respectively, generate clocks VCLK1 and VCLK2, and impress this as a lead clock RCLK of FIFO memories 18 and 19. Phase lock loops 23a and 23b can output the pixel clocks VCLKA and VCLKB by shifting 1/8 period of input-clock VCLK(s) at a time, generating eight kinds of clock signals, and choosing a clock signal with the nearest phase as the synchronous detection signal 1 and DETP 2, as shown in drawing 15 and drawing 16 . In this example, phase simulation precision becomes 1/8 dot.

[0029] Drawing 17 showed the conventional example, and delay circuits 110 and 111 were not formed compared with drawing 14 , and phase lock loop 23b for LD2 has taken phase simulation for the pixel clock VCLK with the synchronous detection signal DETP2 of the 2nd beam. While 1/8 dot of phases of the pixel clock VCLKA of LD1 progresses by phase lock loop 23a according to such a configuration If 1/8 dot of phases of the pixel clock VCLKB of LD2 is overdue with phase lock loop 23b As shown in drawing 18 , the amount of gaps by phase doubling is added, and among the lead clocks VCLK1 and VCLK2 which dividing was carried out in frequency dividers 24a and 24b, and were generated, the phase contrast for 1/4 dot occurs.

[0030] Phase lock loop 23b with the configuration shown in drawing 14 on the other hand, the pixel clock VCLKA from phase lock loop 23a The pixel clock VCLKB which took phase simulation with the synchronous detection signal DETP1 for which only the part of the scan time interval of the main scanning direction by LD1 and LD2 was delayed by the delay circuit 110 is outputted. Furthermore, since a delay circuit 111 outputs the pixel clock VCLKB1 delayed in this pixel clock VCLKB, as shown in drawing 19 , the amount of gaps by phase doubling is not added, but it becomes the phase contrast for 1/8 dot among the lead clocks VCLK1 and VCLK2.

[0031]

[Effect of the Invention] As explained above, according to invention according to claim 1, about the lead clock of the Rhine memory of the 1st beam While performing and carrying out dividing of the phase simulation based on the synchronous detection signal of the 1st beam, about the lead clock of the Rhine memory of other beams Since only the part of the scan time interval of the main scanning direction according the synchronous detection signal of the 1st beam to a light emitting device is delayed, phase simulation is performed, it is delayed further and dividing of this clock is carried out, the amount of gaps of the phase contrast of the read-out clock of each Rhine memory can be reduced, and the image of high quality can be realized. Moreover, since a margin can be enlarged by adjusting the amount of delay of a clock at the setup time and the hold time of the lead clock of the Rhine memory after the 2nd beam, and a lead reset signal, an abnormality image can be prevented.

[0032] Furthermore, since each of n Rhine memory is alternatively set as write enable based on the synchronous detection signal of the 1st beam, the image of the high quality which the 1st light emitting device emits light first after an image service area starts, therefore does not have a phase shift is realizable.

[0033] While generating n-1 dummy synchronous detection signal for other light emitting devices based on the synchronous detection signal of the 1st beam according to invention according to claim 2 Since the synchronous detection signal of the 1st beam performs light reset of n Rhine memory and toggle actuation of the n lights of the Rhine memory is carried out based on the synchronous detection signal of the 1st beam, and n-1 dummy synchronous detection signal, it is realizable in an easy circuit.

[0034] Since according to invention according to claim 3 phase simulation of the light clock of n Rhine memory is carried out, it carries out dividing and a lead clock is generated, it is realizable in an easy circuit.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

## [Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing 1 operation gestalt of the multi-beam image formation equipment concerning this invention.

[Drawing 2] It is the explanatory view showing the arrangement location of two laser diodes of drawing 1.

[Drawing 3] It is the explanatory view showing the scan location of the direction of vertical scanning of two laser beams in the multi-beam image formation equipment of drawing 1.

[Drawing 4] It is the explanatory view showing the scan location of the main scanning direction of two laser beams in the multi-beam image formation equipment of drawing 1.

[Drawing 5] It is the circuit diagram showing the synchronous detecting circuit of the multi-beam image formation equipment of drawing 1.

[Drawing 6] It is the explanatory view showing the synchronous detection signal detected by the synchronous detecting circuit of drawing 5.

[Drawing 7] It is the block diagram showing the outline configuration of the multi-beam image formation equipment of drawing 1.

[Drawing 8] It is the block diagram showing the configuration of ASIC of drawing 7 in a detail.

[Drawing 9] It is the block diagram showing the dummy synchronous detection signal generating circuit of drawing 8 in a detail.

[Drawing 10] It is the timing chart which shows the main signals of ASIC of drawing 8.

[Drawing 11] It is the block diagram showing the LCLR generating circuit of drawing 8 in a detail.

[Drawing 12] It is the timing chart which shows the LCLR signal of drawing 11.

[Drawing 13] It is the block diagram showing the lead enable signal generating circuit in ASIC of drawing 8 in a detail.

[Drawing 14] It is the block diagram showing the important section circuit in ASIC of drawing 8 in a detail.

[Drawing 15] It is the block diagram showing an example of the phase lock loop of drawing 14 in a detail.

[Drawing 16] It is the timing chart which shows the main signals of the phase lock loop of drawing 15.

[Drawing 17] It is the block diagram showing the conventional important section circuit in a detail.

[Drawing 18] It is the timing chart which shows the lead clock generated by the circuit of drawing 17.

[Drawing 19] It is the timing chart which shows the lead clock generated by the circuit of drawing 14.

## [Description of Notations]

18 19 FIFO memory

21 Light of FIFO Memory, Lead Processing Section / 1 Beam -> 2 Beam Transducer

22 Dummy Synchronizing Signal Generating Section / LCLR Generating Section

23a, 23b Phase lock loop

24a, 24b 1/2 frequency divider

25 FF

110,111 Delay circuit

---

[Translation done.]